

11/5/4 (Item 4 from file: 351) [Links](#)
 Derwent WPI
 (c) 2007 The Thomson Corporation. All rights reserved.

0006485744 *Drawing available*
 WPI Acc no: 1993-291993/199337
 XRPX Acc No: N1993-224902

D-type flip-flop reducing power consumption when input latch signal operating - has master, slave and D-type latches, taking EXOR of data input and output signals, when these value differ D-type latch transfers input latching signal directly to operate AC-type flip-flop

Patent Assignee: NIPPON DENKI IC MICON SYSTEMS (NIDE)

Inventor: TAKAHASHI M

Patent Family (1 patents, 1 countries)

Patent Number	Kind	Date	Application Number	Kind	Date	Update	Type
JP 5206791	A	19930813	JP 199213587	A	19920129	199337	B

Priority Applications (no., kind, date): JP 199213587 A 19920129

Patent Details

Patent Number	Kind	Lan	Pgs	Draw	Filing Notes
JP 5206791	A	JA	4	4	

Title Terms /Index Terms/Additional Words: FLIP-FLOP; REDUCE; POWER; CONSUME; INPUT; LATCH; SIGNAL; OPERATE; MASTER; SLAVE; DATA; OUTPUT; VALUE; DIFFER; TRANSFER; AC; TYPE

Class Codes

International Patent Classification

IPC	Class Level	Scope	Position	Status	Version Date
H03K-0003/037	A	I	F	R	20060101
H03K-0003/356	A	I		R	20060101
H03K-0003/3562	A	I	L	R	20060101
H03K-0003/00	C	I	F	R	20060101

File Segment: EPI;
 DWPI Class: U22
 Manual Codes (EPI/S-X): U22-A02D; U22-A04C

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-206791

(43)公開日 平成5年(1993)8月13日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K	3/356	C 7436-5 J		
	3/037	B 7436-5 J		

審査請求 未請求 請求項の数 2(全 4 頁)

(21)出願番号 特願平4-13587

(22)出願日 平成4年(1992)1月29日

(71)出願人 000232036

日本電気アイシーマイコンシステム株式会社
神奈川県川崎市中原区小杉町1丁目403番
53

(72)発明者 ▲高▼橋 誠

神奈川県川崎市中原区小杉町一丁目403番
53日本電気アイシーマイコンシステム株式
会社内

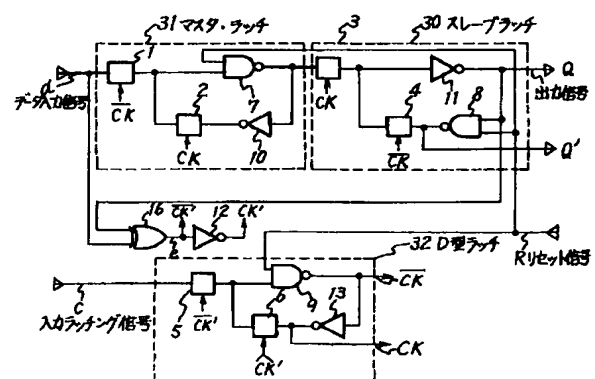
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 D型フリップフロップ

(57)【要約】

【目的】 D型フリップフロップにおいて、入力ラッチング信号が動作する際の不必要な電力を低減すること。

【構成】 マスタ・ラッチ31と、スレーブラッチ30と、D型ラッチ32において、データ入力信号dと出力信号QのEXORをとる。それらの値が異なった時、D型ラッチ32は入力ラッチング信号Cが、CK、CK(反転値)にダイレクトに伝搬され、D型フリップフロップとして動作する。次に、データ入力信号dと出力信号Qが同値になったと時、D型ラッチは、ラッチ状態となり、動消費電力が低減される。



【特許請求の範囲】

【請求項1】 データ入力信号が変化したことを検出するEXORゲートと、前記EXORゲートの出力信号に同期してデータ入力信号をサンプリングするマスタ・ラッチと、前記マスタ・ラッチの出力を前記出力信号に同期してサンプリングし出力するスレーブラッチとを備え、前記EXORゲートは、前記データ入力信号と前記スレーブラッチの出力信号とを入力とし、前記EXORゲートの出力信号をラッチするD型ラッチと、前記D型ラッチ、前記マスタ・ラッチ、前記スレーブラッチをリセットするリセット信号入力端子と、前記D型ラッチのデータ入力信号となる入力ラッチング信号入力端子を設けたことを特徴とするD型フリップフロップ。

【請求項2】 マスタ・ラッチ、スレーブラッチ、D型ラッチがいずれも、1個のNANDゲートと、1個のインバータと、2個のトランスファゲートとからなる請求項1記載のD型フリップフロップ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はD型フリップフロップに関し、特にCMOS型のフリップフロップ論理集積回路からなるフリップフロップに関する。

【0002】

【従来の技術】D型フリップフロップは、各種の論理処理をしたデータ入力信号をサンプリングするために使われ、現在一般に使われるCMOS型論理集積回路の中に設けられていることが多い。

【0003】図3の従来のD型フリップフロップには、NANDゲート7と、インバータ10と、トランスファゲート1、2とで構成しているマスタ・ラッチ31と、NANDゲート8と、インバータ11と、トランスファゲート3、4とで構成しているスレーブラッチ30とそれらにラッチング信号を順次与えるインバータ14、15とから構成されている。

【0004】入力信号dにデータ入力信号を、入力信号Cにサンプリング信号として入力ラッチング信号を与え、また“ロウ”を与えることによりどんな状態であっても回路を安定させ、出力信号Qを“ロウ”(Low)に固定することのできるリセット信号を、“ハイ”(High)として入力信号Rに与える。

【0005】図4に示す通り、入力Cが“ロウ”である時のマスタ・ラッチ31は、クロック信号CKに“ハイ”の信号が与えられるため、トランスファゲート1は入力信号を通す。このため、サンプリング状態となり、入力信号dのデータ入力信号をサンプリングする。この時、スレーブラッチ30は、クロック信号CKに“ロウ”の信号が与えられるため、トランスファゲート3は入力信号を止めてしまう。このためラッチング状態となる。

【0006】次に、入力信号Cが“ハイ”に変化する

と、クロック信号CKは“ロウ”になるので、マスタ・ラッチ31はラッチング状態、スレーブラッチ30はクロック信号CKが“ハイ”になるため、前記マスタ・ラッチ31がサンプリングした信号をサンプリングし、出力Qは変化する。この時の出力Qの信号は、マスタ・ラッチ31により反転した信号をスレーブラッチ30で再度反転させるため、入力信号dと同一レベルとなり、結果としてデータ入力信号をサンプリングした信号が出力されることになる。

【0007】

【発明が解決しようとする課題】この従来のD型フリップフロップは、図3に示す通り、入力ラッチングの信号Cをインバータ14を介して、さらにインバータ15を介しているため、データ入力信号dが変化しなくても、インバータ14、15の入力は変化している。入力ラッチングの信号Cが“ロウ”では、インバータ14のPチャネルトランジスタがオン、Nチャネルトランジスタがオフするが、入力ラッチングの信号CがNチャネルトランジスタのスレッシュOLD電圧を越えると、Nチャネルトランジスタがオンしはじめ、電流が流れ始める。

【0008】さらに、入力ラッチングの信号Cが上昇し、 $VDD/2$ 付近(論理スレッシュOLD電圧)では、インバータ14のNチャネルトランジスタとPチャネルトランジスタとがオンした状態となり、電源電流は最大になり、これ以上の電圧の入力ラッチングの信号Cになると、Pチャネルトランジスタがオフしはじめ、電流は減少する。

【0009】したがって、単位時間内のスイッチング回数の多い程消費電力は増す。すなわち、D型フリップフロップのデータ入力信号dが変化しなくとも、入力ラッチング信号が“ロウ”→“ハイ”→“ロウ”と繰り返すことにより、消費電力は増大するという問題点があった。

【0010】本発明の目的は、前記問題点を解決し、ラッチング信号による消費電力の増大を防止したD型フリップフロップを提供することにある。

【0011】

【課題を解決するための手段】本発明のD型フリップフロップの構成は、データ入力信号が変化したことを検出するEXORゲートと、前記EXORゲートの出力信号に同期してデータ入力信号をサンプリングするマスタ・ラッチと、前記マスタ・ラッチの出力を前記出力信号に同期してサンプリングし出力するスレーブラッチとを備え、前記EXORゲートは、前記データ入力信号と前記スレーブラッチの出力信号とを入力とし、前記EXORゲートの出力信号をラッチするD型ラッチと、前記D型ラッチ、前記マスタ・ラッチ、前記スレーブラッチをリセットするリセット信号入力端子と、前記D型ラッチのデータ入力信号となる入力ラッチング信号入力端子を設けたことを特徴とする。

【0012】

【実施例】図1は本発明の一実施例のD型フリップフロップを示すブロック図、図2は図1の動作を説明するためのタイミング図である。

【0013】図1において、本実施例のD型フリップフロップは、マスタ・ラッチ31と、スレーブラッチ30と、排他的(EX)ORゲート16と、NANDゲート9と、インバータ12、13とトランスファゲート5、6を含み、構成されている。

【0014】ここで、マスタ・ラッチ31、スレーブラッチ30は、図3と同様であってよい。D型ラッチ32は、入力ラッチングの信号C、リセットの入力信号R、クロック信号CK'、CK'（反転値）を入力とし、クロック信号CK、CK（反転値）を出力するもので、NANDゲート9、インバータ13、トランスファゲート5、6からなる。

【0015】また、マスタ・ラッチ31は、NANDゲート7と、トランスファゲート1、2と、インバータ10とを有する。入力信号Rにリセット信号、出力信号Qに正相出力信号、出力信号Q'に逆相出力信号、入力信号dにデータ入力信号、入力信号Cに入力ラッチング信号が各々印加される。

【0016】データ入力の信号dと出力信号Qとを入力しているEXORゲート16では、データ入力変化を検出し、その出力とその反転信号であるインバータ12の出力を、トランスファゲート5、6の入力にそれぞれ印加する。

【0017】トランスファゲート5の出力をNANDゲート9の入力に、NANDゲート9の出力をインバータ13の入力に、インバータ13の出力をトランスファゲート6の入力に、トランスファゲート16の出力をトランスファゲート5の出力に各々接続する。

【0018】次に、入力信号dが“ハイ”に変化すると、図2に示すように、出力信号Qは“ロウ”であるため、EXORゲート16は“ハイ”となり、D型ラッチ32は入力ラッチングの信号Cがクロック信号CK（反転値）に直接出力される。入力ラッチングの信号Cが“ロウ”になると、マスタ・ラッチ31はサンプリング状態となり、次に入力ラッチング信号が“ハイ”になる

と、マスタ・ラッチ31はラッチング状態となり、スレーブラッチ30はサンプリング状態となり、データ入力の信号Cと同値を出力信号Qへ伝搬させる。そこで、データ入力の信号Cと出力信号Qとが同値となる事により、EXORゲート16は“ロウ”となり、ラッチ32はラッチ状態となり、入力ラッチの信号Cがいかなる値をとろうとも、トランスファゲート5で信号をしゃ断する。

【0019】従って、本D型フリップフロップにおいて、入力ラッチングの信号Cが変化しても、その部分での余分な消費電力は発生しない。

【0020】ここで、EXORゲート16の出力信号eを、クロック信号CK'（反転値）としている。

【0021】尚、本実施例は、リセット付D型フリップフロップで説明したが、プリセット及びリセット付D型フリップフロップや、プリセット付D型フリップフロップ、D型フリップフロップでも、同様の効果があることはいうまでもない。

【0022】

【発明の効果】以上説明したように、本発明は、データ入力信号と出力信号が同値になると、入力ラッチング信号が内部の論理回路に伝搬されないため、不必要な電力が消費しないという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例のD型フリップフロップを示すブロック図である。

【図2】図1における動作を示すタイミング図である。

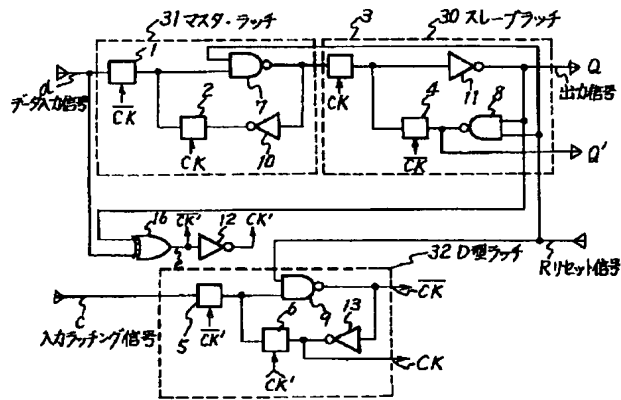
【図3】従来のD型フリップフロップを示すブロック図である。

【図4】図3における動作を示すタイミング図である。

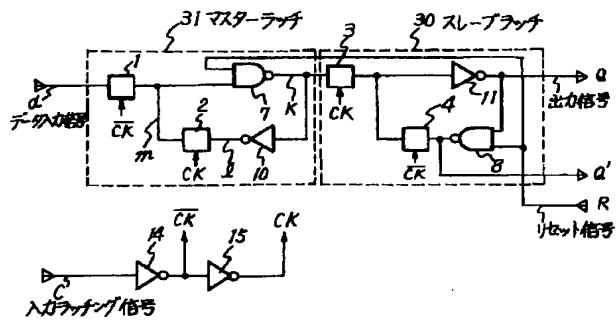
【符号の説明】

1, 2, 3, 4, 5, 6 トランスファゲート
7, 8, 9 NANDゲート
10, 11, 12, 13, 14, 15 インバータ
16 EXORゲート
30 スレーブラッチ
31 マスタ・ラッチ
32 D型ラッチ

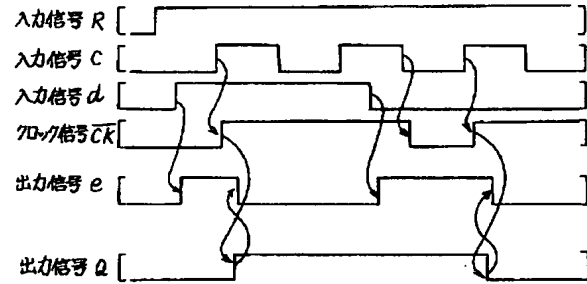
【図1】



【図3】



【図2】



【図4】

